

**THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of : Jyoei KAMOI, et al.

Filed : Concurrently herewith

For : SYSTEM FOR CONTROLLING AAL1....

Serial No. : Concurrently herewith

January 12, 2001

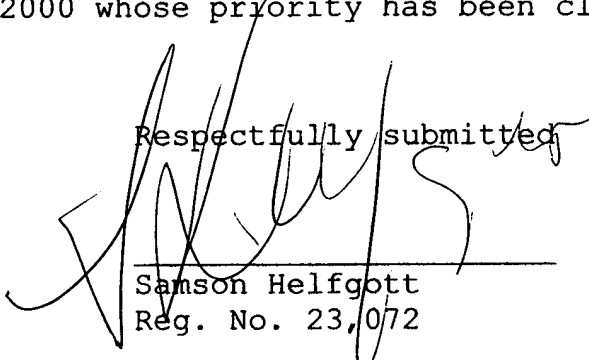
Assistant Commissioner of Patents  
Washington, D.C. 20231

**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Attached herewith are Japanese patent application No.  
2000-040652 of February 18, 2000 whose priority has been claimed  
in the present application.

Respectfully submitted

  
\_\_\_\_\_  
Samson Helfgott  
Reg. No. 23,072

HELFGOTT & KARAS, P.C.  
60th FLOOR  
EMPIRE STATE BUILDING  
NEW YORK, NY 10118  
DOCKET NO.:FUJA 18.217  
BHU:priority

Filed Via Express Mail  
Rec. No.: EL522394294US  
On: January 12, 2001  
By: Brendy Lynn Belony

Any fee due as a result of this paper,  
not covered by an enclosed check may be  
charged on Deposit Acct. No. 08-1634.

JC974 U.S. PTO  
09/759176  
01/12/01

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC974 U.S. PT.  
09/759176  
01/12/01

#3

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 2月18日

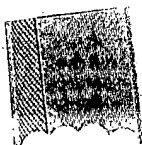
出 願 番 号  
Application Number:

特願2000-040652

出 願 人  
Applicant (s):

富士通株式会社

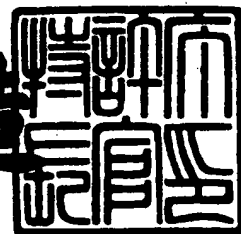
CERTIFIED COPY OF  
PRIORITY DOCUMENT



2000年 9月 8日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3072373

【書類名】 特許願

【整理番号】 9902864

【提出日】 平成12年 2月18日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/00  
H04L 12/56

【発明の名称】 A A L 1 セル帯域制御方式

【請求項の数】 11

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 鴨井 條益

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 内田 佳宏

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 相原 直樹

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 中山 幹夫

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 安江 一仁

【発明者】

【住所又は居所】 宮城県仙台市青葉区一番町1丁目2番25号 富士通東北  
北デジタル・テクノロジー株式会社内

【氏名】 熊谷 和彦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094662

【弁理士】

【氏名又は名称】 穂坂 和雄

【電話番号】 03-3807-1151

【選任した代理人】

【識別番号】 100087147

【弁理士】

【氏名又は名称】 長谷川 文廣

【選任した代理人】

【識別番号】 100087848

【弁理士】

【氏名又は名称】 小笠原 吉義

【手数料の表示】

【予納台帳番号】 012601

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707817

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 A A L 1 セル帯域制御方式

【特許請求の範囲】

【請求項 1】 A A L 1 フォーマットのセルによって分割して転送された連続データ列を受信して組立てる際の帯域制御方式において、

受信セルを元にしたデータ組立部に、シーケンス番号フィールド（S N）のチェック部による正常性を確認した後にシーケンス番号（S C）が 0 ～ 7 の 1 サイクル分の 8 セルを格納して後段にセルを送出する 8 セルバッファを設け、

前記 8 セルバッファに 8 セルが格納された時に前記 8 セルバッファ内に P フォーマットセルの数が 1 セルとなるよう制御する制御部を設けたことを特徴とする A A L 1 セル帯域制御方式。

【請求項 2】 請求項 1 において、

前記 8 セルバッファ内に格納されたセルの中に P フォーマットセルが含まれていないことを検出すると、無条件にシーケンスカウント = 6 のセルを P フォーマットセルとして設定することを特徴とする A A L 1 セル帯域制御方式。

【請求項 3】 請求項 1 において、

前記 8 セルバッファ内に格納されたセルの中で P フォーマットセルが含まれてなく、ダミーセルまたはシーケンス番号フィールド（S N）が無効のセルの何れか一方または両方が複数個ある場合、前記複数のダミーセルまたはシーケンス番号フィールド（S N）が無効のセルの中の最もシーケンス番号（S C）の大きい偶数番号のセルを P フォーマットセルとして設定することを特徴とする A A L 1 セル帯域制御方式。

【請求項 4】 請求項 1 において、

前記 8 セルバッファ内に格納されたセルの中でシーケンス番号（S C）が奇数のシーケンス番号フィールド（S N）のセルが P フォーマットセルの場合、無条件にそのセルをノン P フォーマットとして設定することを特徴とする A A L 1 セル帯域制御方式。

【請求項 5】 請求項 1 において、

前記 8 セルバッファ内に格納されたセルの中で複数の P フォーマットセルがあ

る場合、その中で最もシーケンス番号（SC）の大きいセルの番号が偶数であるセルを除いてノンPフォーマットセルとして設定することを特徴とするAAL1セル帯域制御方式。

【請求項6】 AAL1の構造化データ転送フォーマットのセルによって分割して転送されたフレーム構造をもつ連続データ列を組立てる際のAAL1セル帯域制御方式において、

受信セルのシーケンス番号フィールドの正常性を確認した後にポインタフィールドに設定されたフレームの境界位置によりフレーム位相を合わせて自走させる内部フレームカウンタを設け、

前記内部フレームカウンタにより受信データのバイト数を監視し、フレームの境界位置が内部フレームカウンタ周期よりも遅いことを検出すると、超過したデータを廃棄することを特徴とするAAL1セル帯域制御方式。

【請求項7】 請求項6において、

前記内部フレームカウンタによる受信データのバイト数の監視時に、フレームの境界位置が内部フレームカウンタ周期よりも早いことを検出すると、不足したデータをダミーデータにより補完することを特徴とするAAL1セル帯域制御方式。

【請求項8】 AAL1の構造化データ転送フォーマットのセルによって分割して転送されたフレーム構造をもつ連続データ列を組立てる際のAAL1セル帯域制御方式において、

受信セルのシーケンス番号フィールドの正常性を確認した後に送受信間のデータ速度を調整する帯域調整部を設け、

前記帯域調整部は、ポインタフィールドに設定された境界位置によりフレーム位相を合わせて自走させる内部フレームカウンタを備え、CSIビットと、シーケンス番号（SC）と、シーケンス番号フィールド（SN）が無効のセル識別フラグと、1サイクル中でシーケンス番号が0の時から現在受信したセルまでの間に既にPフォーマットセルを受信したか否かの検出結果、及び前記内部フレームカウンタにより受信した偶数番号のセルと次の奇数番号のセルの間に境界位置が有るか否かの識別結果に基づいて、P／ノンPのフォーマットの判定制御により

帯域調整を行うことを特徴とする A A L 1 セル帯域制御方式。

【請求項 9】 請求項 8 において、

前記内部フレームカウンタを基準にフレーム数が 9 3 の時、その時の受信した偶数番号のセルと次の奇数番号のセルのどちらかに境界があるものとして、P フォーマットとすることを特徴とする A A L 1 セル帯域制御方式。

【請求項 1 0】 請求項 8 において、

前記シーケンス番号の 1 サイクル中に P フォーマットセルが受信されないと、シーケンス番号 ( S C ) = 6 のセルを無条件に P フォーマットセルとすることを特徴とする A A L 1 セル帯域制御方式。

【請求項 1 1】 A A L 1 フォーマットのセルによって分割して転送された連続データ列を受信して組立てる際の帯域制御方式において、

受信セルを元にしたデータ組立部に、シーケンス番号フィールド ( S N ) のチェック部による正常性を確認した後に 1 サイクル分の個数のセルを格納して後段にセルを送出するセルバッファを設け、

前記セルバッファに前記個数のセルが格納された時に前記セルバッファ内に P フォーマットセルの数が 1 セルとなるよう制御する制御部を設けたことを特徴とする A A L 1 セル帯域制御方式。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は A T M ( Asynchronous Transfer Mode ) における A A L 1 ( ATM Adaptation Layer 1 ) セル帯域制御方式に関する。

【 0 0 0 2 】

近年、B I S D N ( Broad-band Integrated Services Digital Network ) を提供する技術として A T M ( Asynchronous Transfer Mode ) によるネットワークの利用が進められている。

【 0 0 0 3 】

A T M 方式では、I T U - T ( 国際電気通信連合 - 電気通信標準化部門 ) により標準化が行われており、その中のユーザ・網インタフェース ( U N I ) につい

てプロトコル（UNIプロトコル）が勧告されており、OSIに対応した各レイヤが規定されており、ATMレイヤではセルの多重及び交換を扱い、全てのアプリケーションに共通するセルの伝達能力を規定している。そして、すべての情報をセルの単位で転送するため、セルの転送にかかわるATMレイヤ以下では音声、データ、映像などのメディアサービスを意識した処理は行われませんが、各サービスに要求されるサービス品質（遅延時間、誤り率など）は異なり、各サービスの原情報をセル化するに際してその品質条件の違いを吸収する機能を果たすため、ATMアダプテーションレイヤ（AAL）が設けられている。

#### 【0004】

このAALは、その機能としてセルへの分割・組立を行う「セル分割・組立サブレイヤ（SAR: Segmentation And Reassembly Sublayer）」と、サービス品質要求条件に応じてセル遅延ゆらぎ保証や、送信側クロック周波数の受信側での回復、またはフレームの誤り制御やフロー制御を行う「コンバージェンス・サブレイヤ（CS: Convergence Sublayer）」とで構成される。AALには送受信端間のタイミング、ビット・レート、コネクションモードのパラメータによって複数のタイプが規定されており、その中で音声や既存専用線サービスのような固定速度（CBR: Constant Bit Rate）サービスを提供するAALサービス・クラスAのためのAALタイプ1（AAL1という）仕様（フォーマット）が規定されている。

#### 【0005】

AAL1では、ATMヘッダ（5バイト）に付加されるSAR-PDU（SARプロトコルデータユニット）が規定され、SAR-PDUはSARヘッダ（1バイト）とSAR-PDUペイロード（47バイト）とで構成される。そのSARヘッダの先頭にCSI（CS Indication: コンバージェンス・サブレイヤ表示）ビットが設けられており、このCSIビットを使用して、構造化データ転送（SDT (Structured Data Transfer)、例えば、64 Kbps  $\times$  n ( $n \geq 2$ ) のようなフレーム構造を持つデータ）方式で転送する場合に、フレームデータの境界（フレームの先頭位置）を表すポインタをSAR-PDUペイロードの先頭の1バイトに設定する。



## 【 0 0 0 6 】

このようなフレーム構造を持つ連続データ列を A A L 1 (A A L タイプ 1 のセル) の S D T 方式でセル化して伝送する際にセルの廃棄・誤挿入あるいは, S A R ヘッダのビット誤りがあると, 送受信間のデータ速度が不安定になるため, その改善が望まれている。

## 【 0 0 0 7 】

## 【従来の技術】

図 1 5 は A A L 1 セル転送方式の説明図である。連続データ (例えば, 音声や専用線データ) は A A L 1 のセル分割部 (Cell Segmentation) で A A L 1 のフォーマットによるセルに分割され, A T M のネットワークを介して伝送され相手のネットワーク端に設けられた A A L 1 のデータ組立部 (A A L 1 Cell Reassembly) で各セルを組立てて, 元の連続データに変換して受信側へ送られる。

## 【 0 0 0 8 】

図 1 6 は A A L 1 のセルフォーマットを示し, A. と B. の 2 つのフォーマットがある。A A L 1 では, 上記したように A T M ヘッダ (5 バイト) に付加される S A R - P D U (S A R プロトコルデータユニット) が規定されており, その中の先頭に S A R ヘッダ (1 バイト) が設けられ, その先頭の 1 ビットは C S I (コンバージェンス・サブレイヤ表示) を表す領域であり, 次の 3 ビットは S C (Sequence Count: シーケンスカウント) を表すためにセルの送出順に 0 ~ 7 の数字を 3 ビットでサイクリックに表示する領域であり, C S I と S C を合わせて S N (Sequence Number) フィールドと呼ばれる。続く 4 ビットは S N フィールドのエラーチェックを行う S N P (S N Protection) フィールドと呼ばれ, 3 ビットの C R C (Cyclic Redundancy Check: C R C - 3 と称される) とその後の 1 ビットで構成する C S I, S C 及び C R C に対する偶数パリティ (Parity: P で表す) とから成る。この S N P フィールドにより S A R ヘッダの誤り検出と 1 ビットの誤り訂正を実現する。

## 【 0 0 0 9 】

S A R ヘッダの中の C S I ビットは, この S A R ヘッダの後に構造化データの境界位置を表示するオフセットフィールド (offset field: データの境界がペイ

ロードデータ（転送データ）の先頭から何バイト目かを表す数値を設定するための領域であり、ポインタとも呼ばれる）が含まれているか否かを指示する。すなわち、図16のA. はC S Iが“0”の場合であり、この場合はポインタが含まれてなくS A Rヘッダの後に47バイト分のペイロードデータが格納され、これをノンPフォーマット（non-P format）という。

#### 【0010】

図16のB. はC S Iが“1”の場合で、これは当該セルがオフセットフィールド（ポインタを含む8ビットのフィールド）を含むことを表し、これをPフォーマット（Pformat）という。PフォーマットではS A Rヘッダの後に1バイト分のオフセットフィールドが付加され、1バイト中の先頭ビット（E Pで表す）はオフセット（ポインタ）フィールドをチェックするための偶数パリティ（Even Parity）で、続く7ビットがオフセット（ポインタ）である。このオフセット（ポインタ）は転送するデータのフレーム（境界）までのバイト数（0～93までの数値で最大で当該セルに後続するセルのペイロードまでの何れかのバイト位置、すなわち境界位置を表す数）を表示する。このPフォーマットの場合にはペイロードデータは46バイトとなる。

#### 【0011】

図17は構造化データを転送するためのセルの構成説明図である。

#### 【0012】

図17のA. は構造化された連続した転送データを表し、1つのフレームがA. に示すような構成を備えている。これをA T Mセル化して転送すると、B. のように多数のセルのペイロードに分割して格納されて転送が行われる。図17のB. にはセルの1部として8個のセルだけ示し、上記図16で説明したS A Rヘッダ内のS C（シーケンスカウント）が0～7と順番に発生して1サイクルを形成する。ここで、S Cについての仕様を説明すると、S Cが奇数の場合は必ずノンPフォーマット（ポインタを含まない）であり、C S I = 0に設定される、S C 0～7の1サイクル中には必ず1つのPフォーマット（偶数S C）があり、この時C S I = 1に設定され、そのセルにはオフセット情報が設定されてそのサイクルの他の偶数S CはノンPフォーマットである。また、1サイクル中に境界

が無い場合（例えば、数キロバイト等の長いデータを転送する場合）は、SC＝6をPフォーマットとし、そのオフセットフィールド（7ビット）をオール“1”（数値127）にセットして、サイクル中に境界が無いことを表示する。

#### 【0013】

図17のB.の例では、SC＝4のAAL1セルにオフセット情報が含まれ、そのオフセットフィールドによりSC＝5のAAL1セルのペイロード中にデータの境界（フレームの境界）位置が指定されていることを示している。

#### 【0014】

このように送信側でSCをサイクリックに設定すると共に構造化データの境界の設定を行なうと、受信側ではSN番号の連続性をチェックしてATMセルの紛失と誤挿入をチェックし、データの境界を識別する制御を行なう。

#### 【0015】

図18はAAL1のセル受信時の状態遷移図、図19は各状態遷移時の動作を示す図である。

#### 【0016】

AAL1セルの受信側では、上記図16で説明したSARヘッダ（1バイト）のチェックを行ない、3ビットのCRC-3の演算によるCSI領域とSC領域のエラーチェックと、CSI領域、SC領域及びCRC領域用のパリティビット（Pで表す）のチェックにより、エラーの検出及び1ビットのエラー訂正が可能である。

#### 【0017】

図18のM1は受信側の通常モードである訂正モードであり、このモードM1では、CRC-3の演算でエラーが検出されず（演算結果がOKの時）、パリティチェックの結果が良好（OK）であれば、図19の最上段の行に示すようにSNが有効の状態であり、図18のaに示すように動作(action)は無しで、判定がエラーのない正常セルとされ状態は変化しない。訂正モードM1の時、CRC-3演算結果が不良（NGで表す）で、パリティチェックの結果もNGの場合は、図19の2行目の状態に示すように、CSI、SC、CRCフィールド内の1ビットの誤り訂正を行ない、SNが有効なセルとするが、モードはM2で表す検

出モードに遷移し、この遷移動作は図18のcの線で示す。また、CRC-3がOKでパリティチェックの結果がNGである場合が図19の3行目に示され、この場合はパリティビットを訂正しSNが有効なセルとし、状態を検出モードM2へ遷移し、図18のcに遷移動作を示す。また、訂正モードM1でCRC-3がNGでパリティチェックがOKの場合が図19の4行目に示され、この場合は複数ビットエラーであるため、訂正不能でありSNが無効なセルとして検出モードM2へ遷移し、図18のbに遷移動作を示す。

#### 【0018】

検出モードM2では、図19の6行目乃至8行目に示すようにCRC-3演算とパリティチェックの何れかがNGであればビットエラーの存在するセルとして訂正を行わず、SNが無効のセルとし（図18のeで示す）、両方がOKであればSNが有効なセルとし、訂正モードM1に戻る（図18のdで示す）。

#### 【0019】

上記したようにAAL1のセル転送方式では、各セルに0～7の番号がシーケンシャルに付与されており、受信したセルとその前に受信したセルのSCの連続性から、受信側で6セル以内のセル紛失や誤挿入に対しては、それぞれダミーセル（SAR-PDUヘッダのCSI以外が“1”で、ペイロードがオール“1”のセル）の挿入や、誤挿入セルの廃棄により、送受信間のATMセルの個数を一致させて同期をとることができる。そのような動作を実現するためITU-Tの勧告I.363.1としてロバストSNアルゴリズム（Robust SN algorithm）が推奨されており図20に示す。

#### 【0020】

図20に示すアルゴリズムを図中の各状態からの遷移を表す数字1～17について説明すると次の通りである。

#### 【0021】

(a) スタート(Start): 初期状態は有効なSNを持つセルが到着するまで廃棄する。

#### 【0022】

1. 無効なSNを持つセルが到着した場合、一時蓄積セルは廃棄される。

【0023】

2.有効なSNを持つセルが到着した場合、一時蓄積セルは廃棄し、Out of Sync(同期外れ)の状態へ遷移する。

【0024】

(b)同期外れ(Out of Sync):この状態ではシーケンスカウントはまだ同期していない。1つ前のSCと連続したSCが来るのを待つ。

【0025】

3.連続したSCでない場合、一時蓄積セルは廃棄される。

【0026】

4.連続したSCが到着した場合、一時蓄積セルはRBUF(Reassembly Buffer:受信バッファ)へ書き込まれ、Sync(同期)状態へ遷移する。

【0027】

5.無効なSNのセルが到着した場合、一時蓄積セルは廃棄され、Start状態へ戻る。

【0028】

(c)同期(Sync):この状態ではシーケンスカウントが同期している。

【0029】

6.SCが1つ前のものと連続している場合、一時蓄積セルはRBUFへ書き込まれる。

【0030】

7.SNが無効の場合、一時蓄積セルはRBUFへ書き込まれ、Invalid(無効)状態へ遷移する。

【0031】

8.SCが1つ前のものと不連続の場合、一時蓄積セルはRBUFへ書き込まれ、シーケンス外れ(Out of Sequence)状態へ遷移する。

【0032】

(d)無効(Invalid):この状態では、システムは次のセルが到着すると、SNの無効な一時蓄積セルの判断を行う。

【0033】

9. 到着セルの S N が再び無効の場合、システムはスタート状態に遷移し、一時蓄積セルは廃棄される。

【 0 0 3 4 】

10. 到着セルの S N が有効で S C が最後に到着した有効な S N を持つセルと連続している場合、システムは同期状態に戻るが、一時蓄積セルは誤挿入と考えられ廃棄される。

【 0 0 3 5 】

11. 到着セルの S N は有効だが S C が最後に到着した有効な S N を持つセルの S C より 2 つ進んでいる場合、無効な S N が存在したが、一時蓄積セルは連続であると仮定され、受け入れられ、同期状態に戻る。

【 0 0 3 6 】

12. 到着セルの S N は有効だが上記以外の場合、一時蓄積セルを廃棄し、Out of Sync 状態に遷移する。

【 0 0 3 7 】

(e) シーケンス外れ (Out of Sequence): この状態では、セル到着時に次の動作を行う。

【 0 0 3 8 】

13. 到着の S N が無効の場合、一時蓄積セルを廃棄し、スタート状態へ遷移する。

【 0 0 3 9 】

14. 到着の S N が有効で S C が一時蓄積セルより前に到着した最後のセルと連続している場合、一時蓄積セルは誤挿入と考え廃棄され、同期状態に戻る。

【 0 0 4 0 】

15. 上記 14. 以外で到着セルの S N が有効で S C が一時蓄積セルの S C と連続している場合、複数のセル損失があったと仮定し、損失セル数に等しい数のダミーセルを挿入した後、一時蓄積セルを RBUF へ書き込み、同期状態に戻る。

【 0 0 4 1 】

16. 到着セルの S N が有効で S C が一時蓄積セルより前に到着した最後のセルの S C より 2 つ進んでいる場合、一時蓄積セルは連続であったと仮定し（すなわ

ち、SNエラー保護メカニズムが故障したと考え)、正しいSCに付け替えて一時蓄積セルをRBUF(受信バッファ)へ書き込み、同期状態に戻る。

#### 【0042】

17. 到着セルのSNは有効だが上記した以外の場合、一時蓄積セルを廃棄し、同期外れ状態へ遷移する。

#### 【0043】

図21は従来のエラーセルの訂正方法を示し、左側に示すセルが受信された時に、矢印で示す右側のように訂正が行われ、その原理は上記図20に示すロバストSCアルゴリズムが用いられる。

#### 【0044】

図21の1)は、同じシーケンス番号(SC=3)のセルが2つ連続して受信された例で、この場合は2つ目のSC=3のセルが誤挿入されたものとしてこれを廃棄することでSCがシーケンシャルとなる。2)はSCが欠落している例で、これを訂正するためSC=4のダミーセルをSC=3の後に挿入している。なお、ダミーセルは無条件にノンPフォーマットである。図21の3)はSC=3に続いてSC=2が受信された例で、6個のセルが紛失しているものとして、これを訂正するためダミーセルを6個(SC=4~SC=1のセル)挿入している。4)はSC=3の後にSC=0、SC=5が受信された例であり、SC=0のセルにビット誤りが発生したものとして、SC=0のセルをSC=4に訂正した例である。

#### 【0045】

##### 【発明が解決しようとする課題】

上記した従来方式では、図20の状態11に示すように、1セルのみinvalidであった場合は、RBUF(受信バッファ)へ受け入れられる。また、CSIビットを含んだ複数ビットエラーである時や、元々Pフォーマットのセルをダミーセルで補完した場合には、例えば、46バイトのペイロードデータだったにも係わらず、47バイトデータとして組立てが行われる。そのため、データ長が元のデータと合わなくなり、送受信間のデータ速度の不一致や次の境界(フレーム)を示すセルが到着するまでフレーム内のデータにずれが生じてフレームフォーマット

構造が崩れるという問題があった。

【 0 0 4 6 】

本発明は A A L 1 セルの C S I ビットを含んだ複数ビットのエラーの発生時や、ダミーセルの挿入時にも正しくノン P / P フォーマットを判定して組立を行ってフレーム内のデータにずれが生じることを防ぐことができる A A L 1 セル帯域制御方式を提供することを目的とする。

【 0 0 4 7 】

【課題を解決するための手段】

図 1 は本発明の第 1 の原理構成、図 2、図 3 は本発明の第 1 の原理構成による制御方法（その 1）、（その 2）を示す。図 4 は本発明の第 2 の原理構成、図 5 の第 2 の原理構成による制御方法を示す。また、図 6 は本発明の第 3 の原理構成を示す。

【 0 0 4 8 】

図 1 において、10～13 は A A L 1 セルの受信側の要部のブロック構成を示し、10 は S A R ヘッダのシーケンス番号（S N）チェック部、11 はシーケンス番号（S C）の 1 サイクル分に相当する 8 セル分のセルを格納する 8 セルバッファ、12 は 8 セルバッファに格納されたセルの、P フォーマットを判定して帯域の制御を行う制御部、13 は受信したセルのゆらぎを吸収するために A T M セルのヘッダ等を除いて蓄積する受信バッファ（Reassembly Buffer）、14 は連続データの境界を検出して元のフレームを生成すると共に連続データの組立てを行うデータ組立部である。なお、8 セルバッファ 11 は図 1 に示す位置に設ける代わりに受信バッファ 13 とデータ組立部 14 の間に設けるように変更することができ、その場合の動作も図 1 と同様である。

【 0 0 4 9 】

図 1 の構成による組立ての制御方法を図 2 を参照しながら説明する。なお、図 2、図 3 には (1) ～ (7) の各例について示し、図 2 中の a はシーケンス番号（S C で表す）、b は受信 C S I（Convergence Sublayer Indication）、c は本発明によるフォーマット制御の結果を表す判定フォーマット、d はダミーセル（dummy cell）の分布を表し、e は無効セル（invalid cell）の分布を表す。



## 【0050】

AAL1によるATMセルが受信されてSARヘッダのシーケンス番号についてSNチェック部10でチェックして、正しいシーケンス番号(SC)が0~7の1サイクル分である8個のセルが順番に8セルバッファ11へ一時的に格納され、8個のセルが格納された時にその8セルバッファ11内のCSIビットを参照しPフォーマットセルの数が1サイクルに1個となるように調整する。この場合、制御部12は格納された8個のセルの内容を識別して図2、図3に示す各例に示すように調整を行う。

## 【0051】

最初に、図2の(1)の場合、aに示すように8セルバッファ11にSC=0~7の8個のセルが格納された時、bに示すように受信CSIが全て0であり、Pフォーマットセルが1つも無いことが識別される。この場合は、受信したCSI=1のPフォーマットセルが複数ビットエラーまたは中継路の途中でセル損失が発生してダミーセルの挿入が起こったものと解し、このままではフォーマットに違反するため、1サイクル中に境界を含まない場合(上記したデータ長が長い場合)に設定されるPフォーマット(SC=6にオフセット値=127をセット)が最も確率が高いので、図2の(1)のcに示すように無条件にSC=6のセルをPフォーマットセルとし、SC=6のセルのCSIを“1”にセットして、ペイロードの先頭バイト内にオフセット値=127を設定して、受信側でのフレームの再生を行うことで、送受信間の速度を合わせるようにした。

## 【0052】

次に図2の(2)の場合は、8セルバッファ11内の8個のセルにbに示すようにPフォーマットセルが1つも無く、cに示すようにダミーセルが複数個(この例ではSC=2, 3, 4の3個)含まれていた場合は、最もSCが大きいダミーセルをPフォーマットセルとして設定することで、送受信間の速度を合わせることができる。なお、この例でも1サイクル中に境界が示されていない時に設定されるPフォーマット(SC=6でオフセット値=127)である確率が最も高いが、逆にシーケンス番号の最も小さいセルをPフォーマットとしても、データ速度は変わらないので、それでも構わない。図2の(3)は、8セルバッファ11内

の 8 個のセルに b に示すように P フォーマットセルが 1 つも無く、e に示すように SN が無効のセル（複数ビットに誤りがあった時のセル）が複数個（この例では SC = 2 と 4 の 2 個）含まれていた場合は、シーケンス番号の大きい無効セルを P フォーマットセルとして設定して、データ速度を合わせる。

【 0 0 5 3 】

次に図 3 に示す (4) は、a に示すように 8 セルバッファ 1 1 に SC = 0 ~ 7 の 8 個のセルが格納された時、受信 CSI が全て 0 ((4) の b 参照) で、ダミーセルと無効セルが含まれている場合であり（同 d, e 参照）、この場合にはダミーセルまたは無効セルの中で最もシーケンス番号の大きいセルを P フォーマットセルとして扱うことで送受信間のデータ速度を合わせる。図 3 の (5) は、8 セルバッファ 1 1 内に格納されたセルの中に P フォーマットセルが複数（CSI = 1 が SC = 4 と 5 の 2 個のセル）含まれている場合であり、この場合には P フォーマットセルのシーケンス番号が偶数番号のセルにしか設定されないので、奇数番号のセルは無条件にノン P フォーマットセルとして処理することで、送受信間の速度を合わせる。

【 0 0 5 4 】

図 3 の (6) は 8 セルバッファ 1 1 内に格納されたセルの中に複数の P フォーマットセル（SC = 2 と 4 の 2 個のセルの CSI が 1）が含まれている場合であり、この場合にはその中で最も大きい偶数のシーケンス番号以外をノン P フォーマットセルとして設定することで、送受信間の速度を合わせる。また、図 3 の (7) は 8 セルバッファ 1 1 内に格納されたセルの中に複数の P フォーマットがある場合、その中の無効セルをノン P フォーマットセルに設定することで、送受信間のデータ速度を合わせる。

【 0 0 5 5 】

上記の図 2、図 3 に示す (1) ~ (7) の各場合に示す方法の他に、これらを組合わせた事例についても同じ原理により処理することができる。また、本発明の原理により境界が示されている P フォーマットが含まれている時、間違ったセル位置を P フォーマット化してしまうことがあるが、フレームとデータの位相のずれは 1 サイクル内に納まるため、その影響を最小限に抑えることができる。

## 【 0 0 5 6 】

図 4 は本発明の第 2 の原理構成、図 5 は本発明の第 2 の原理構成による制御方法を示す。図 4 において、10、13、14 は上記図 1 と同様に、それぞれシーケンス番号 (SN) チェック部、受信バッファ、データ組立部を表し、15 は内部のフレームカウンタ 150 を含むフレーム調整部である。

## 【 0 0 5 7 】

図 4 に示す第 2 の原理構成による作用を図 5 を用いて説明する。フレーム構造を持つ連続データ列を AAL1 の SDT (Structured Data Transfer) フォーマットのセルを用いて伝送されている時、図 4 に示す組立部の SN チェック部 10 で SAR ヘッダのシーケンス番号の正常性を確認した後、受信バッファ 13 においてセルの蓄積が行われる。この時、受信したセルの SAR ヘッダの SN フィールド、SNP フィールドの後に続くポインタフィールドに設定された境界位置によりフレーム位相を合わせた内部のフレームカウンタ 150 を自走させ受信データのフレーム内バイト数を監視する。この時、予め受信側ではフレーム長を知っていて前回にきたフレームの境界を示す位置からフレーム長を監視しており、図 5 の (1) に示すように、内部のフレームカウンタ 150 の周期 (カウンタが一周期回った位置) に対応する位置に次の境界を示す位置が来ないで、それより多くのバイトを受信した場合、データが誤挿入されたものとして超過したデータを廃棄して送受信間のデータ速度を調整する。

## 【 0 0 5 8 】

また、図 5 の (2) に示すように、ポインタフィールドに設定された境界位置によりフレーム位相を合わせた内部のフレームカウンタ 150 を自走させ、受信データのフレーム内バイト数を監視し、内部のフレームカウンタ周期よりも少ないバイト数を受信した場合 (セルが抜けて不足した場合)、不足したデータをダミーデータにより補完して送受信間のデータを調整する。この図 5 の (1) と (2) の制御を組み合わせることで実施することが可能である。なお、フレームの途中で CSI ビットが誤ると次のフレーム位置まで受信データがずれてしまうが、上記本発明の第 1 の原理構成と組み合わせることで対処することができる。

## 【 0 0 5 9 】

図6は本発明の第3の原理構成であり、図中、10、13、14は上記図1の同じ符号の各部と同じであり10はSNチェック部、13は受信バッファ、14はデータ組立部を表し、16は帯域調整部である。この第3の原理構成が図1と異なる点は受信バッファ13とデータ組立部14の間に帯域調整部16を設けた点である。

#### 【0060】

この第3の原理構成では、フレーム構造を持つ連続データ列をAAL1のSDTフォーマットのセルを用いて伝送されている時、図6のSNチェック部10でSARヘッダのシーケンス番号の正常性を確認した後、受信バッファ13においてセルの蓄積が行われる。この時、セルのSNチェック後に、CSIビットと、SC番号と、SNが無効のセル、ポインタフィールドに書かれた境界位置によりフレーム位相を合わせた内部のフレームカウンタと、SC=0から現在受信したセルまでの間に既にPフォーマットセルを挿入したかという条件を判定して、各条件の組合わせに対応してテーブル等を参照して検出して送受信間のデータ速度を調整する。

#### 【0061】

##### 【発明の実施の形態】

図7、図8はSNチェック部の実施例の構成（その1）、（その2）であり、本発明の第1乃至第3の各原理構成（上記図1、図4及び図6）の中のSNチェック部10の具体的な構成例である。

#### 【0062】

図7はSNフィールドのチェックを行うための構成であり、図7中、10aはCRC演算部、10bはパリティ（Parity）演算部、10cは訂正／検出モード判定部、10dはSN訂正部である。

#### 【0063】

図7では、AAL1セルを図示されない受信部において受信してSARヘッダ（1バイト）が検出されて、その中のSNフィールドを構成するCSI（1ビット）とSC（3ビット：SC2-0で表す）の4ビットと、SNPフィールドを構成するCRC（3ビット：CRC2-0で表す）とパリティ（1ビット）の4

ビットが各部に入力される。CRC演算部10aではCSIとSCとCRCについてCRC演算を行い、演算結果を訂正／検出モード判定部10cに出力し、パリティ演算部10bはCSI、SC2-0、CRC2-0、パリティビットを入力して偶数パリティのチェックを行って受信したパリティと比較して正、誤の演算結果を訂正／検出モード判定部10cに出力する。

## 【0064】

訂正／検出モード判定部10cは2つの演算結果を用いて、上記図18、図19に示すように訂正モードか検出モードの状態で行って誤り検出または誤り訂正を行うと共にモードの遷移を行い、訂正を行う場合は訂正制御の出力をSN訂正部10dに出力してSNフィールドを構成する4ビット(CSI+SC2-0)の中の1ビットの誤りを訂正する。訂正されたCSI(1ビット)とSC2-0(3ビット)は、次に説明する図8へ供給される。また、CRC演算部10aがNGで、パリティ演算部10bの両方がOKの場合のようにSNが無効と判定されると、無効を表す出力(invalidで表示)がSC2-0と共に発生し(図7では図示省略)、後述する図8へ供給される。

## 【0065】

図8はSNチェック部に含まれるロバスト(Robust)SNアルゴリズムによる同期制御の実施例の構成であり、そのアルゴリズムの内容は上記図20に示されている。図中、10eは一時蓄積セルバッファ、10fはセル廃棄部、10gは無効(invalidで表示)フラグ付与部、10hはセレクタ、10iはダミーセル生成部、10jは今回受信したSCを蓄積するSC一時蓄積部、10kはロバストSNアルゴリズム制御部、10mは以前に受信したセルのSC(前回の受信セルを受信バッファに書込まれており、そのセルのSC)を蓄積する前回SC蓄積部である。

## 【0066】

図8に示す構成では、上記図4の構成でCSI、SC2-0についてはチェックが行われて正しいことが確認されたか、または誤り(1ビット)訂正がされた内容を含むセルが入力され、一時蓄積セルバッファ10eに格納される一方、SC(シーケンスカウント)については、SC一時蓄積部10jに格納され、前回

SC蓄積部10mには前回受信したセルのSCが格納される。ロバストSNアルゴリズム制御部10kは今回のSCをSC一時蓄積部10jから入力され、前回のSCを前回SC蓄積部10mから入力されると上記図20について説明したアルゴリズムによりセルに対する制御を行なう。

## 【0067】

上記図4のSNチェックによりSNが無効である場合には、図8のセル廃棄部10fを駆動して一時蓄積セルバッファ10eのセルを廃棄する（上記図20についてのロバストSNアルゴリズムの1, 2, 3, 5, 10, 11, …等）。また、上記ロバストSNアルゴリズム（図20）についての説明中の(d)の11.に示す場合のように、セルのSNは有効であるが、SCが最後に到着した有効なSNを持つセルのSCより2つ進んでいる場合、無効なSNが存在したが、一時蓄積セルが連続であるとして受け入れられるが、無効フラグ付与部10gが駆動されて無効（invalid）を表すフラグがセル（ヘッダ内の特定ビット）に付与される。この場合のフラグは、セル対応に別の信号線で無効フラグを表す信号を表すか、ヘッダ内の適宜のビットを用いて無効フラグを設定する。また、上記図20についてのロバストSNアルゴリズムの15.の場合のように、ダミーセルを挿入する必要がある場合は、ダミーセル生成部10iを駆動して必要な個数のダミーセルを生成する。

## 【0068】

なお、ダミーセルは、例えば、SAR-PDUヘッダのCSI=0以外は“1”で、ペイロードにオール1を設定する。また、上記原理構成1（図1）のために、ダミーセルを表す識別フラグをヘッダに付与する。セレクタ10hは一時蓄積セルバッファ10eからのセル（正常なセル及び無効フラグが付与されたセルを含む）か、ダミーセル生成部10iからのダミーセルを選択して、出力は第1の原理構成の場合は8セルバッファへ供給され、第2または第3の原理構成の場合は受信バッファへ供給される。

## 【0069】

図9は8セルバッファの実施例の構成であり、本発明の第1の原理構成（上記図1）の8セルバッファ11の具体的な構成例である。

## 【 0 0 7 0 】

図 9 において、1 1 a は書込みと読出しを同時に行うことが可能なデュアルポート (Dual Port) RAM, 1 1 b は書込制御部, 1 1 c は読出制御部, 1 1 d は SC デコーダ, 1 1 e は SC (シーケンスカウント) の 0 から 7 までの各数値に対応して CSI のビット, 無効の SN のフラグ, ダミーセルの識別フラグ等を格納することができる SC 別レジスタ, 1 1 f は P / ノン P フォーマット判定部, 1 1 g は CSI 書換部である。

## 【 0 0 7 1 】

SN チェックを行う構成 (図 8) から出力された ATM セルが入力すると、デュアルポート RAM 1 1 a に順次格納され、同時に SC デコーダにより、当該 A L 1 セルの SAR ヘッダの SC (シーケンスカウンタ) が SC デコーダ 1 1 d において 0 ~ 7 の何れであるか復号され、その復号出力が SC 別レジスタ 1 1 e に供給されると、その SC に対応する 1 つのレジスタが駆動されて、そのレジスタに入力したセルの CSI や、もし存在していたら無効 (invalid) またはダミー (dummy) を表すフラグが格納される。0 ~ 7 の各 SC に対応した各セルの CSI, 無効のフラグ, ダミーのフラグの存否を P / ノン P フォーマット判定部 1 1 f で判定して、上記の図 2, 図 3 で説明した各状態についてそれぞれを判定し、判定出力に応じて、そのセルの CSI を書換える CSI 書換部 1 1 g が駆動されて P フォーマットの設定を行うことができる。また、P フォーマットが 8 セル中に含まれていない場合に、SC = 6 のセルのオフセットフィールドに 1 2 7 を設定するが、その制御動作も P / ノン P フォーマット判定部 1 1 f の出力により書込制御部 1 1 b を駆動することで書込まれる。

## 【 0 0 7 2 】

図 1 0 は受信バッファの実施例の構成であり、本発明の第 1 乃至第 3 の各原理構成 (上記図 1, 図 4 及び図 6) の中の受信バッファ (Reassembly Buffer) 1 3 の具体的な構成例である。図 1 0 中、1 3 a はデュアルポート RAM, 1 3 b は書込制御部, 1 3 c は読出制御部, 1 3 d はセル蓄積量管理部である。

## 【 0 0 7 3 】

デュアルポート RAM 1 3 a へは前段の 8 セルバッファ 1 1 (第 1 の原理構成

の場合) または S N チェック部 1 0 (第 2 及び第 3 の原理構成の場合) からのセルが入力されると、セルのペイロード (S A R ヘッダを含む 4 8 バイト) だけがセル単位で書込制御部 1 3 b の制御により書込まれ、セル蓄積量管理部 1 3 d にも書込みを表す信号が供給される。デュアルポート R A M 1 3 a に書込まれたセルは後段のデータ組立部 1 4 (第 1 の原理構成)、フレーム調整部 1 5 (第 2 の原理構成) または帯域調整部 1 6 (第 3 の原理構成) からの読み出しを指示するバイト単位の信号の発生に応じて読出制御部 1 3 c が駆動されて、読出し信号が発生してデュアルポート R A M 1 3 a とセル蓄積量管理部 1 3 d に出力されて、読出しデータがバイト単位で後段に出力される。セル蓄積量管理部 1 3 d は書込信号と読出信号を受け取って、遅延揺らぎ吸収セル数までセルを蓄積した後読み出すよう読み出し制御を行う。

## 【 0 0 7 4 】

図 1 1 はデータ組立部の実施例の構成であり、本発明の第 1 乃至第 3 の原理構成 (図 1、図 4、図 6) に設けられたデータ組立部 1 4 の具体的な構成例である。

## 【 0 0 7 5 】

図 1 1 において、1 4 a は C S I チェック部、1 4 b は無効チェック部、1 4 c はポインタフィールドチェック部、1 4 d はフレームカウンタロード条件判定部、1 4 e は使用するフレーム周期の値をロードしてダウンカウントを行うフレームダウンカウンタ、1 4 f はセルの中のポインタ値をロードしてダウンカウントを行う境界ダウンカウンタ、1 4 g はペイロード抽出データ組立部である。

## 【 0 0 7 6 】

図 1 1 に示すデータ組立部へは、前段の受信バッファ (図 1 の第 1 の原理構成)、フレーム調整部 (図 4 の第 2 の原理構成) または帯域調整部 (図 6 の第 3 の原理構成) から、セル毎に S A R ヘッダの C S I ビット、無効 (invalid) セルを表すフラグ、パリティを含むポインタが入力される。入力された C S I に対しては、C S I チェック部 1 4 a で 1 か 0 かをチェックし、無効を表すフラグに対しては無効チェック部 1 4 b で無効か否かをチェックし、パリティを含むポインタに対してはポインタフィールドチェック部 1 4 c で 0 ~ 9 3 の値であり且つバ



リティがOKであるかチェックする。フレームカウンタロード条件判定部14dでは、前記のCSI=1, 無効フラグが立っていないこと、及びポインタフィールドのチェック結果がOKであるという条件を検出すると、ロード制御信号を境界ダウンカウンタ14fへ入力し、その時のポインタ(0~93の値)をロード値として境界ダウンカウンタ14fへロードする。

#### 【0077】

この後、境界ダウンカウンタ14fはバイト単位に発生する入力によりダウンカウントを行い、カウント値が0になると出力端子からロードパルス出力を発生して、フレームダウンカウンタ14eにロード制御信号を出力する。これによりフレームダウンカウンタ14eは予め決められたフレーム数をロードして、カウント入力(バイト単位)によりダウンカウントを行い、新たなロードパルスの入力がない限りフレーム周期で構造化データのフレームの開始位置を表示する。また、フレームダウンカウンタ14eは、カウント値が0になったことを表す出力が発生すると、境界ダウンカウンタ14fの出力とのオア回路を介して当該フレームダウンカウンタ14eのロード制御信号として入力する。

#### 【0078】

図12はフレーム調整部の実施例の構成であり、本発明の第2の原理構成(上記図2)におけるフレーム調整部150の具体的構成例である。

#### 【0079】

図12において、15a~15eは上記図11の14a~14eと同じ名称であり、15aはCSIチェック部、15bは無効(invalid)チェック部、15cはポインタフィールドチェック部、15dはフレームカウンタロード条件判定部、15eはフレームダウンカウンタである。15fはフレーム位置比較部、15gは超過データ廃棄部、15hはダミーデータ生成部、15iはセレクタ、15jは境界ダウンカウンタである。

#### 【0080】

図12のフレーム調整部へは、前段のセル組立部(図4)から、セル毎にSARヘッダのCSIビット、無効(invalid)セルを表すフラグ、パリティを含むポインタが入力され、上記図11と同様にCSIチェック部15a、無効チェッ

ク部 1 5 b 及びポインタフィールドチェック部 1 5 c によるチェックが行われ、フレームカウンタロード条件判定部 1 5 d の制御により、境界ダウンカウンタ 1 5 j へポインタのロードを行う。境界ダウンカウンタ 1 5 j とフレームダウンカウンタ 1 5 e は、上記図 1 1 の境界ダウンカウント 1 4 f とフレームダウンカウンタ 1 4 e の関係と同様な動作を行い、境界ダウンカウンタ 1 5 j が 0 になると、フレームダウンカウンタ 1 5 e にロード制御信号を発生し、予め決められたフレーム数がロードされる。フレームダウンカウンタ 1 5 e も自走してダウンカウントを行いカウント値 0 の発生によりフレーム周期で構造化データのフレーム出力 (frame で表示) を発生し、その出力がロード制御信号として入力される。

## 【 0 0 8 1 】

このフレーム調整部の構成では、フレームダウンカウンタ 1 5 e の出力端子から発生した信号 (フレームカウント値またはダウンカウント値の 0 出力) はフレーム位置比較部 1 5 f に供給され、他方の入力である境界ダウンカウンタ 1 5 j のロードパルスの信号出力と比較される。この比較は発生するタイミングを比較 (または、ポインタ値とフレームカウント値の比較) するもので、上記図 5 に示すようにフレームダウンカウンタ 1 5 e からの 0 出力の発生 (境界位置の発生) のタイミングに対して境界ダウンカウンタ 1 5 j のロード制御信号の発生タイミングを比較する。

## 【 0 0 8 2 】

フレーム位置比較部 1 5 f は、フレームダウンカウンタ 1 5 e の自走周期によりフレームパルス信号が出力した時に境界ダウンカウンタ 1 5 j のロードパルス出力が発生していなかったらロードパルス出力信号が出力されるまでのデータを超過分とし、超過データ廃棄部 1 5 g を駆動して、受信バッファ (RBUF) から読出したデータの中から超過したデータを廃棄させる。この場合の内部フレームと受信データのタイミング関係は、上記図 5 の (1) に示されている。

## 【 0 0 8 3 】

上記のフレーム位置比較部 1 5 f により、フレームダウンカウンタ 1 5 e のフレームパルス信号が出力される前に境界ダウンカウンタ 1 5 j のロードパルス信号が出力した場合、フレームダウンカウンタ 1 5 e のフレームパルス信号が出力

されるまでのデータを不足分とし、不足したデータを補完するようダミーデータ生成部 1 5 h を駆動して、不足した個数のバイトに相当するダミーセルを生成させる。この場合の内部フレームと受信データのタイミング関係は、上記図 5 の (2) に示されている。

#### 【 0 0 8 4 】

セレクタ 1 5 i は読出しデータ（超過データ廃棄部 1 5 g を通ったデータまたはダミーデータ生成部 1 5 h の出力の一方を選択するよう切替えられ、後段のデータ組立部（図 4 の 1 4）に出力される。

#### 【 0 0 8 5 】

図 1 3 は帯域調整部の実施例の構成であり、本発明の第 3 の原理構成（上記図 6）における帯域調整部 1 6 の具体的構成例である。また図 1 4 はこの帯域調整部に設けられるテーブルの構成例を示し、具体的にはこのテーブルは図 1 3 の P / ノン P フォーマット判定部に設けられる。

#### 【 0 0 8 6 】

図 1 3 において、1 6 a は S C デコーダ、1 6 b は境界位置判定部、1 6 c は P フォーマット挿入済フラグ格納部、1 6 d は P / ノン P フォーマット判定部、1 6 e は C S I 書換部である。

#### 【 0 0 8 7 】

図 1 3 に示す帯域調整部には、前段の受信バッファ 1 3（図 6）から S C 2 - 0（シーケンスカウンタの 3 ビット）、C S I（C S 表示用の 1 ビット）、無効の S N をもつセルであるか否かを表す無効（invalid）フラグ、フレームダウンカウンタ（前段の受信バッファ 1 3（図 7）には含まれてなく、この帯域調整部内の図示省略されたカウンタ）の出力が供給され、S C 2 - 0 の 3 ビットは S C デコーダ 1 6 a でデコードされて、結果は P / ノン P フォーマット判定部 1 6 d の入力端子①へ入力され、C S I は入力端子②へ供給され、無効フラグは入力端子③へ入力される。更に、フレームダウンカウンタの値は境界位置判定部 1 6 b において、フレームの境界が当該受信偶数番号のセルと次の奇数番号のセルの間に有る（ポインタがフレーム数“93”以下）か、判定をし、有る場合は“1”を出力し、無い場合は“0”を出力する。P フォーマット挿入済フラグ格納部 1 6

c は P / ノン P フォーマット判定部 1 6 d により設定されると共に判定において参照され、SC デコーダ 1 6 a から SC = 7 の出力が発生すると P フォーマット挿入済フラグ格納部 1 6 c はクリアされる。

#### 【 0 0 8 8 】

P / ノン P フォーマット判定部 1 6 d の判定動作を図 1 4 を用いて説明すると、図 1 4 において各列の意味は、「SC」は図 1 3 の入力端子①の入力でありシーケンスカウンタの値（0 ～ 7 の何れかの値）をとり、「CSI」は図 1 3 の入力端子②の入力である CS 表示ビット、「invalid」は図 1 3 の入力端子③の入力である無効フラグを表し、これが 0 なら valid セル、1 なら invalid セルである。次の「P / ノン P フォーマット判定部」は図 1 3 の入力端子④の入力としてフレームの境界位置の判定結果を表し、これが 0 なら受信セルと次のセルの間に境界が無いことを表し、1 なら受信セルと次のセルの間に境界が有ることを表す。

#### 【 0 0 8 9 】

更に「P フォーマット挿入」の列は図 1 3 の P フォーマット挿入済フラグ格納部 1 6 c の状態を表し、0 なら SC = 0 から現在の受信セルの間に P フォーマットが無いことを表し、1 なら SC = 0 から現在の受信セルの間に P フォーマットが有ることを表す。「判定処理」が P / ノン P フォーマット判定部 1 6 d の判定結果であり、その出力は出力端子⑤から CSI 書換部 1 6 e へ供給され、前段の受信バッファからの読出データの CSI が判定結果により書換えられてフレームデータとして出力される。

#### 【 0 0 9 0 】

図 1 4 の判定内容を概説すると、受信した SC が 0, 2, 4 の時、そのセルが CSI = 1 で無効 (invalid) セルでない場合、そのセルを P フォーマットとする。この場合は境界が示された正常な P フォーマットセルを受信したと判断する。また受信した SC が 0, 2, 4 の時、フレームダウンカウンタが受信した偶数のセルと次の奇数のセルの間に境界があることを示す場合、そのセルを無条件に P フォーマットとする。この場合は、フレームダウンカウンタにより受信したセルは境界が示されている P フォーマットであると判断する。更に、SC が上記と同

様に 0, 2, 4 の時, フレームダウンカウンタが受信した偶数セルと次の奇数セルの間に境界を示さない場合, そのセルをノン P フォーマットと判断する。

【0091】

受信したセルが  $SC = \text{奇数}$  の時, 無条件にそのセルをノン P フォーマットとする。この場合は, 奇数セルが P フォーマットになるはずがないので, 必ずノン P フォーマットと判断する。受信したセルが  $SC = 6$  の時,  $SC = 0$  から現在受信したセルまでの間にまだ P フォーマットセルを受信していない場合, そのセルを無条件に P フォーマットとする。この場合は, 1 サイクルに必ず 1 つの P フォーマットがあるはずなので, 強制的に P フォーマットと判断する。

【0092】

また, 受信したセルが  $SC = 0, 2, 4$  の時,  $SC = 0$  から現在受信したセルまでの間に既に P フォーマットセルを受信しており, そのセルが  $CSI = 1$  で無効 (invalid) セルでない場合, そのセルを P フォーマットとする。

【0093】

受信したセルが  $SC = 0, 2, 4$  の時,  $SC = 0$  から現在受信したセルまでの間に既に P フォーマットセルを受信しており, フレームダウンカウンタが受信した偶数セルと次の奇数セルの間に境界を示す場合, そのセルを P フォーマットとする。受信したセルが  $SC = 0, 2, 4$  の時,  $SC = 0$  から現在受信したセルまでの間に P フォーマットセルを受信してなく, フレームダウンカウンタが受信した偶数セルと次の奇数セルの間に境界を示さない場合, そのセルをノン P フォーマットとする。

【0094】

上記に説明した図 13 の実施例の構成では 8 セル以上のセル紛失や重複に対しての補完は不完全なので, 本発明の実施例 2 と組み合わせて実施することも有効である。

【0095】

上記図 7 乃至図 13 に示す各部の実施例の構成は, 本発明の第 1 乃至第 3 の原理構成を実施するために使用するが, これらの各原理構成を組合わせて実施することも可能である。

【 0 0 9 6 】

## 【発明の効果】

本発明によれば、C S Iビットを含んだ複数ビットエラー時やダミーセルの挿入時にPフォーマットセルを含んでいた場合に、正しくPフォーマットやノンPフォーマットを判定することができるため、セルの組立のためにデータ長が合わなくなったり、送受信間のデータ速度の不一致や次の境界（フレーム）を示すセルが到着するまでフレーム内のデータにずれが生じてフレームフォーマット構造が崩れてしまうという問題を解決することができる。

## 【図面の簡単な説明】

## 【図 1】

本発明の第 1 の原理構成を示す図である。

## 【図 2】

本発明の第 1 の原理構成による制御方法（その 1）を示す図である。

## 【図 3】

本発明の第 1 の原理構成による制御方法（その 2）を示す図である。

## 【図 4】

本発明の第 2 の原理構成を示す図である。

## 【図 5】

本発明の第 2 の原理構成による制御方法を示す図である。

## 【図 6】

本発明の第 3 の原理構成を示す図である。

## 【図 7】

S Nチェック部の実施例の構成（その 1）を示す図である。

## 【図 8】

S Nチェック部の実施例の構成（その 2）を示す図である。

## 【図 9】

8セルバッファの実施例の構成を示す図である。

## 【図 1 0】

受信バッファの実施例の構成を示す図である。

【図 1 1】

データ組立部の実施例の構成を示す図である。

【図 1 2】

フレーム調整部の実施例の構成を示す図である。

【図 1 3】

帯域調整部の実施例の構成を示す図である。

【図 1 4】

帯域調整部に設けられるテーブルの構成例を示す図である。

【図 1 5】

AAL1セル転送方式の説明図である。

【図 1 6】

AAL1のセルフフォーマットを示す図である。

【図 1 7】

構造化データを転送するためのセルの構成説明図である。

【図 1 8】

AAL1のセル受信時の状態遷移図である。

【図 1 9】

各状態遷移時の動作を示す図である。

【図 2 0】

ロバストSNアルゴリズムを示す図である。

【図 2 1】

従来のエラーセルの訂正方法を示す図である。

【符号の説明】

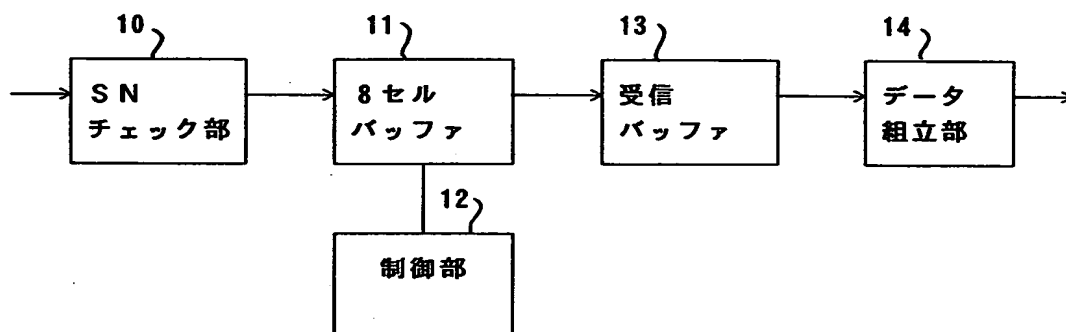
- 1 0     SARヘッダのシーケンス番号 (SN) チェック部
- 1 1     8セルバッファ
- 1 2     制御部
- 1 3     受信バッファ (Reassembly Buffer)
- 1 4     データ組立部

【書類名】

図面

【図 1】

本発明の第 1 の原理構成





【図 2】

本発明の第 1 の原理構成による制御方法（その 1）

a	SC	0	1	2	3	4	5	6	7
b	受信CSI	0	0	0	0	0	0	0	0
c	判定format	N	N	N	N	N	N	P	N

(1)8cell Bufferの制御方式

a	SC	0	1	2	3	4	5	6	7
b	受信CSI	0	0	0	0	0	0	0	0
d	dummy cell	0	0	1	1	1	0	0	0
c	判定format	N	N	N	N	P	N	N	N

(2)8cell Bufferの制御方式

a	SC	0	1	2	3	4	5	6	7
b	受信CSI	0	0	0	0	0	0	0	0
e	invalid cell	0	0	1	0	1	0	0	0
c	判定format	N	N	N	N	P	N	N	N

(3)8cell Bufferの制御方式

【図 3】

本発明の第 1 の原理構成による制御方法（その 2）

a SC	0	1	2	3	4	5	6	7
b 受信CSI	0	0	0	0	0	0	0	0
d dummy cell	0	0	0	0	1	0	0	0
e invalid cell	0	0	1	0	0	0	0	0

c 判定format	N	N	N	N	P	N	N	N
------------	---	---	---	---	---	---	---	---

(4)8cell Bufferの制御方式

a SC	0	1	2	3	4	5	6	7
b 受信CSI	0	0	0	0	1	1	0	0

c 判定format	N	N	N	N	P	N	N	N
------------	---	---	---	---	---	---	---	---

(5)8cell Bufferの制御方式

a SC	0	1	2	3	4	5	6	7
b 受信CSI	0	0	1	0	1	0	0	0

c 判定format	N	N	N	N	P	N	N	N
------------	---	---	---	---	---	---	---	---

(6)8cell Bufferの制御方式

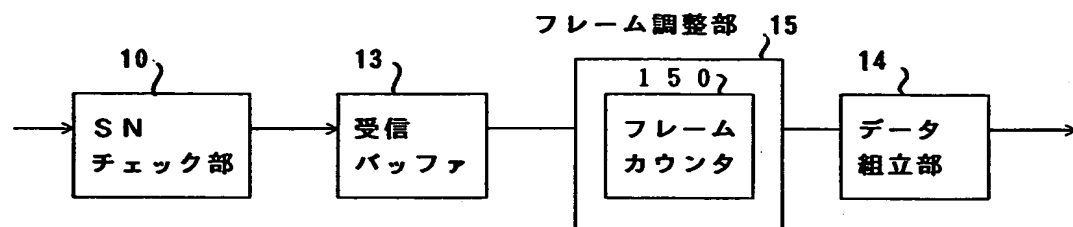
a SC	0	1	2	3	4	5	6	7
b 受信CSI	0	0	1	0	1	0	0	0
e invalid cell	0	0	1	0	0	0	0	0

c 判定format	N	N	N	N	P	N	N	N
------------	---	---	---	---	---	---	---	---

(7)8cell Bufferの制御方式

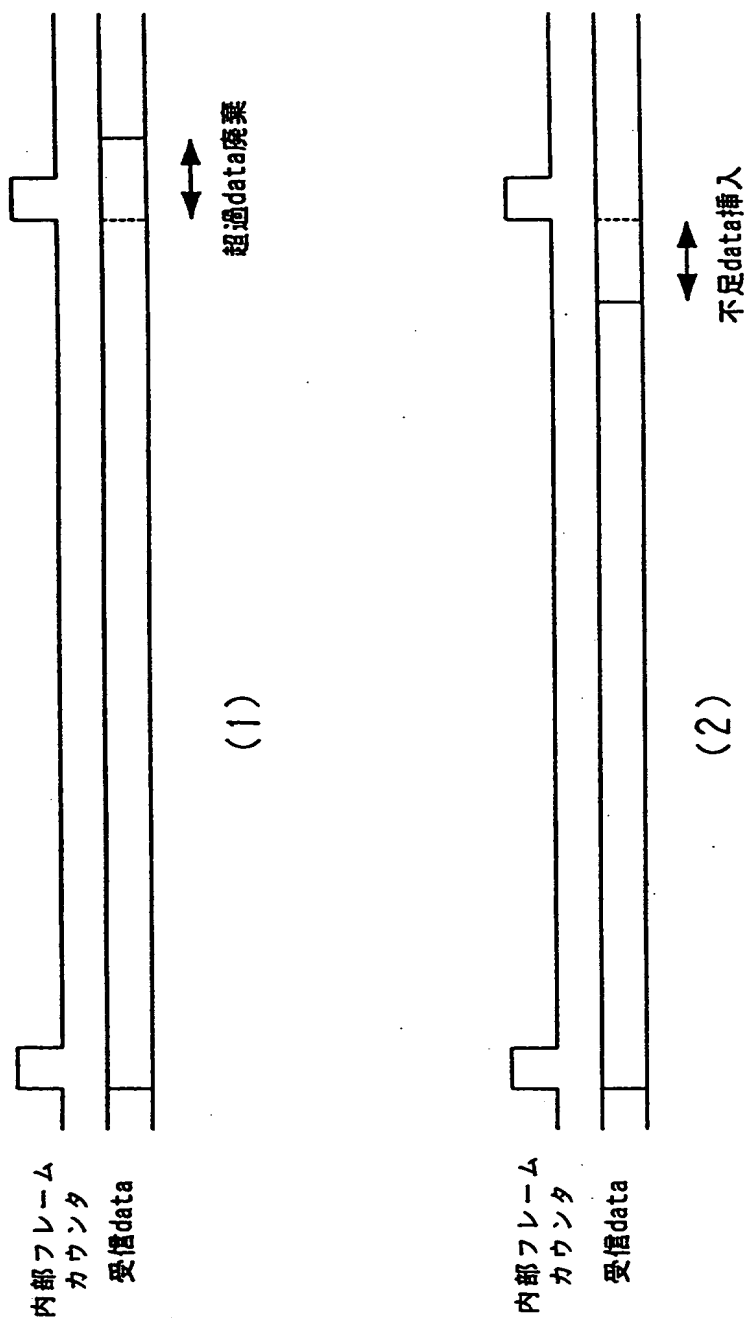
【図 4】

本発明の第 2 の原理構成



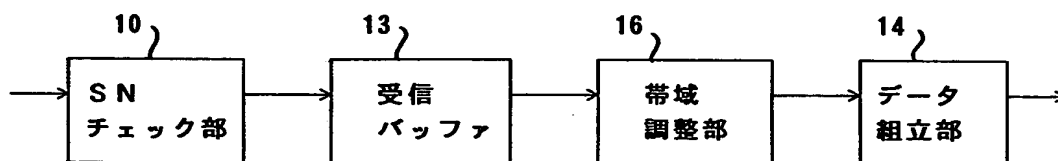
【図 5】

本発明の第 2 の原理構成による制御方法



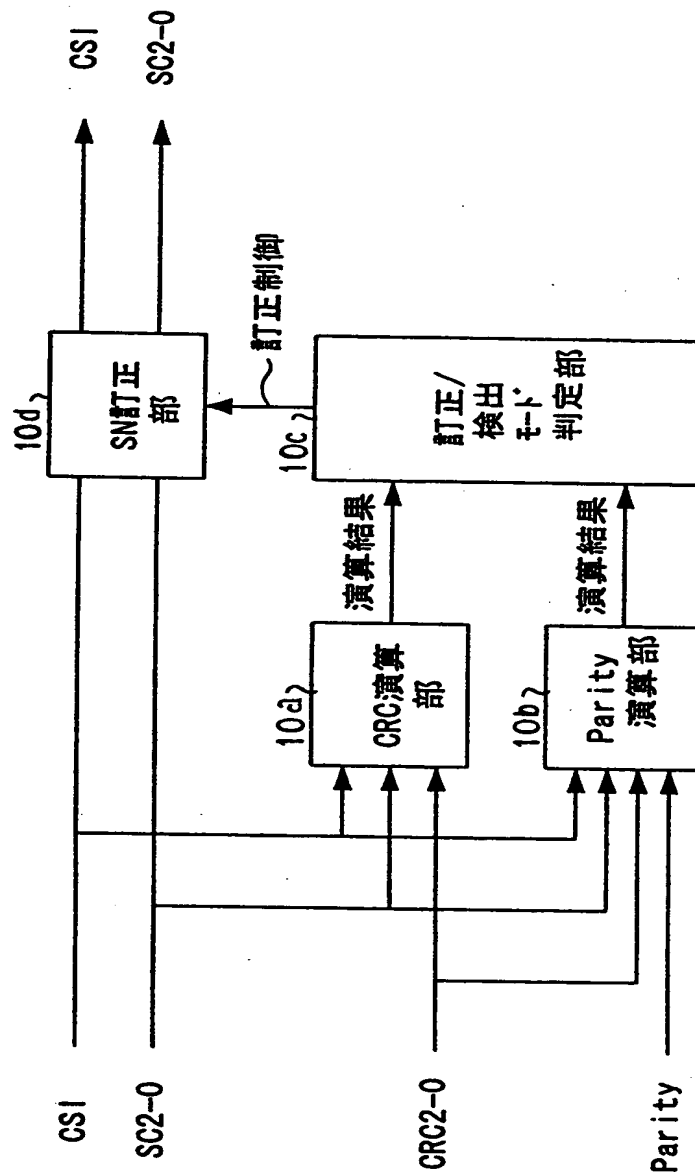
【図 6】

本発明の第 3 の原理構成



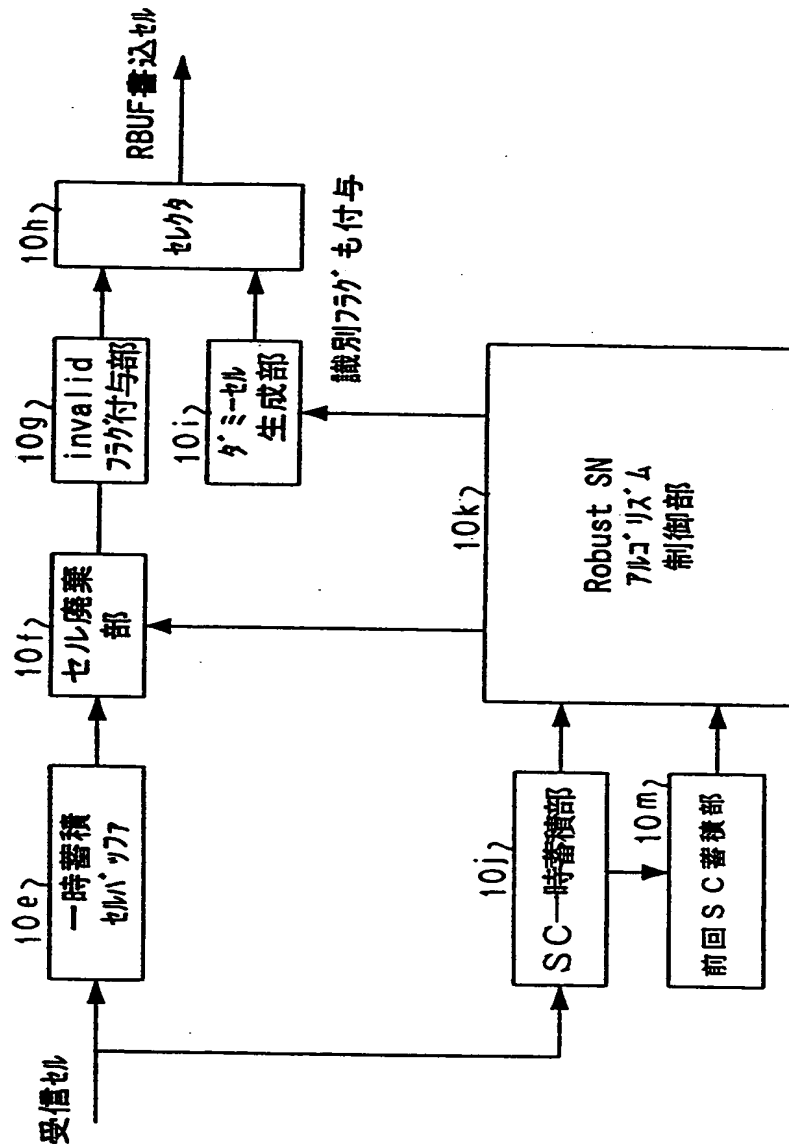
【図7】

SNチェック部の実施例の構成（その1）



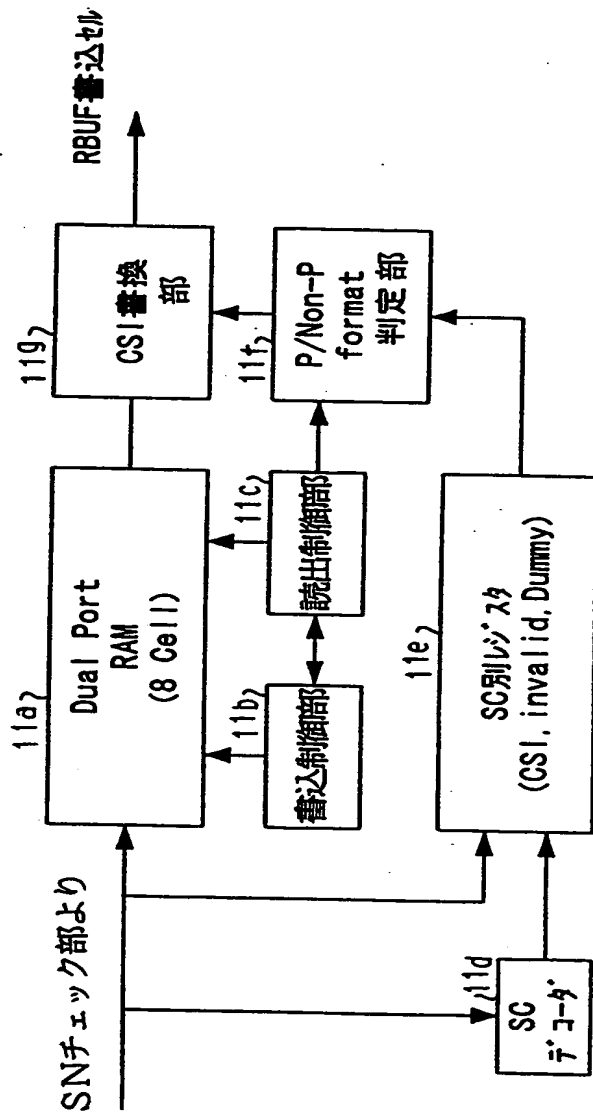
【図 8】

SNチェック部の実施例の構成（その2）



【図9】

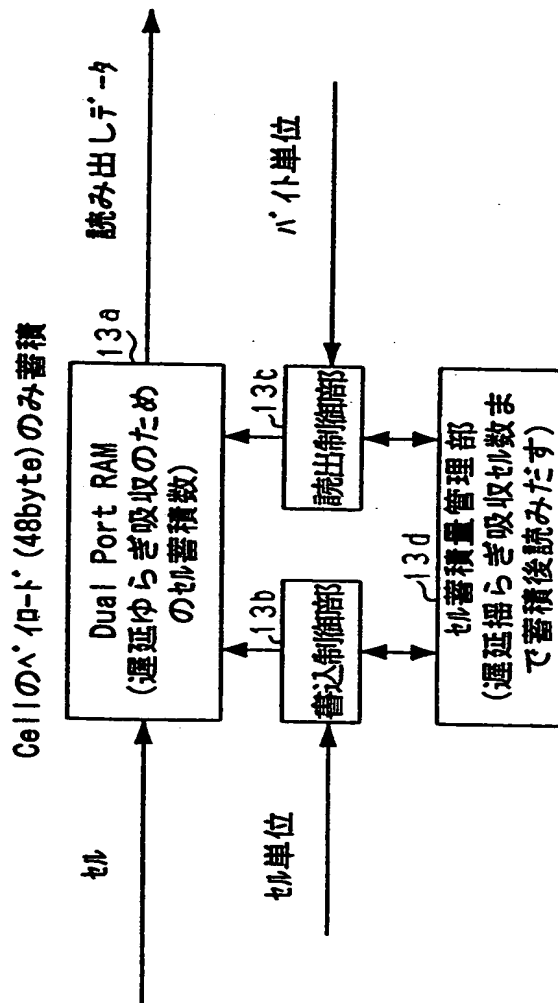
8セルバッファの実施例の構成





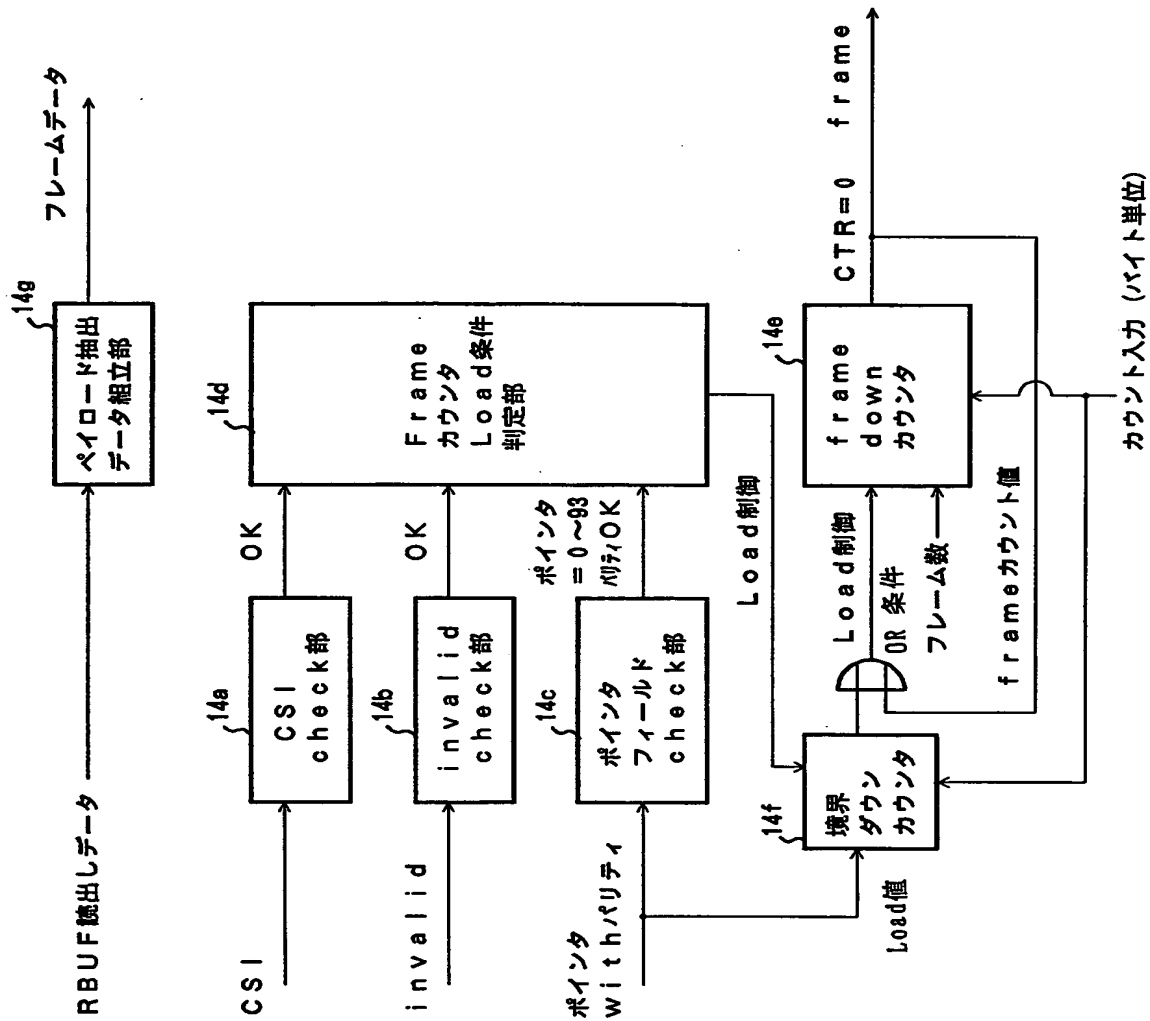
【図10】

受信バッファの実施例の構成



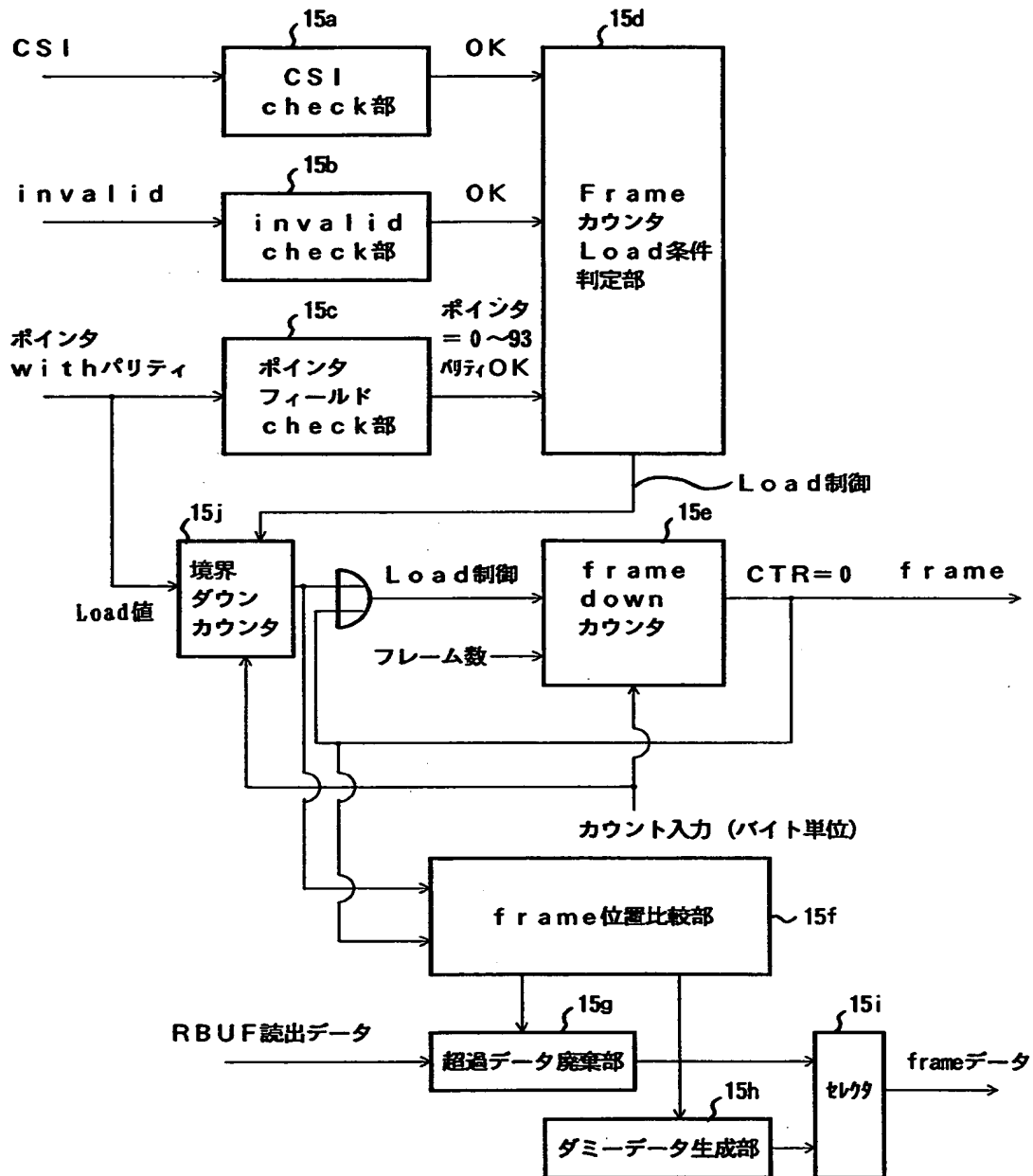
【図11】

データ組立部の実施例の構成



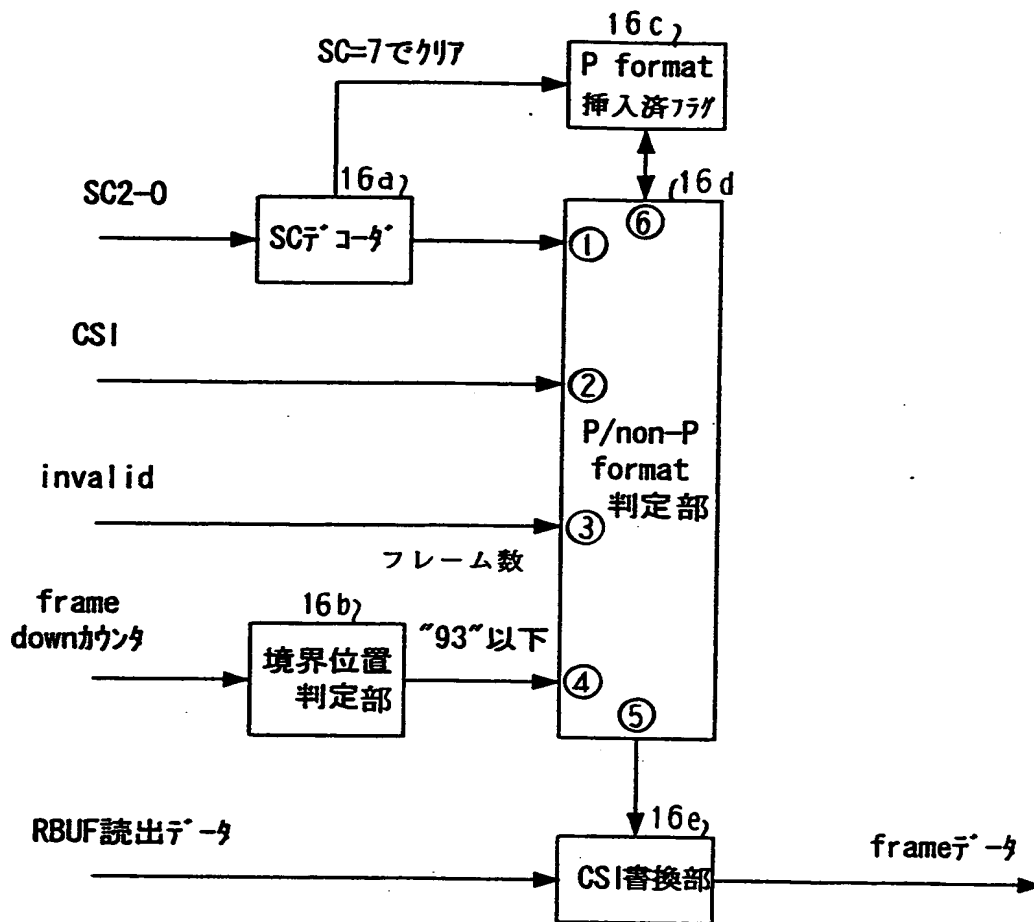
【図12】

フレーム調整部の実施例の構成



【図 13】

帯域調整部の実施例の構成



【図 1 4】

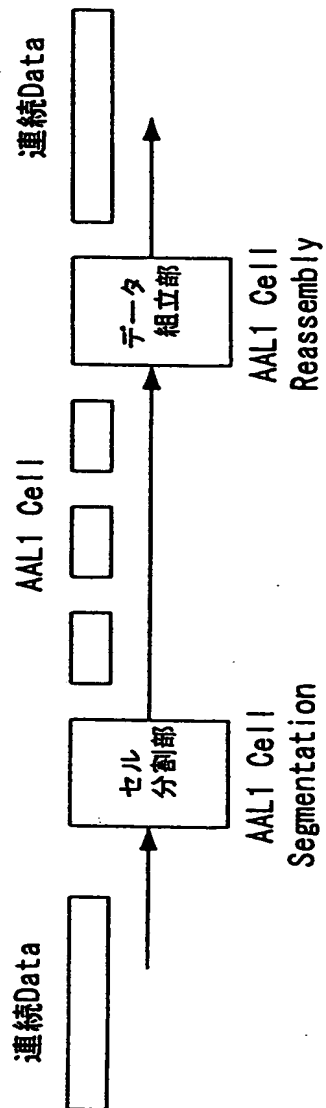
帯域調整部に設けられるテーブルの構成例

SC	CSI	invalid	frame counter	P format 挿入済み	判定処理	備考
0.2. 4	1	0	d.c	d.c	P formatのまま	①
	1	1	1	d.c	P formatのまま	②
	1	1	0	d.c	non-P formatに変更	③
	0	0	1	d.c	P formatに変更	④
	0	0	0	d.c	non-P formatのまま	
	0	1	1	d.c	P formatに変更	③
	0	1	0	d.c	non-P formatのまま	②
	0	0	d.c	d.c	non-P formatのまま	
1.3. 5.7	1	0	d.c	d.c	non-P formatに変更	CSI誤りと想定
	d.c	d.c	d.c	0	P formatのまま	強制的に帯域調整
	1	0	d.c	1	P formatのまま	①
6	1	1	0	1	non-P formatに変更	③
	0	0	0	1	non-P formatのまま	
	0	1	0	1	non-P formatのまま	②

- ① 正常なPointerと認識  
 ② CRC, EPを含む複数ビットエラーと想定  
 ③ CSI, EPを含む複数ビットエラーと想定  
 ④ ダミーセルと想定

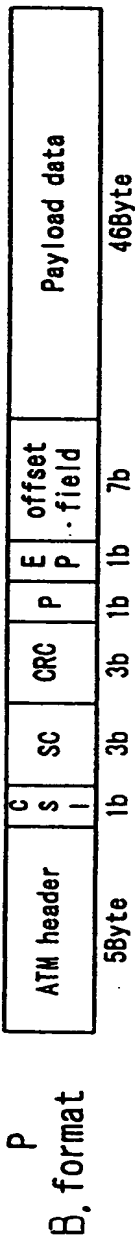
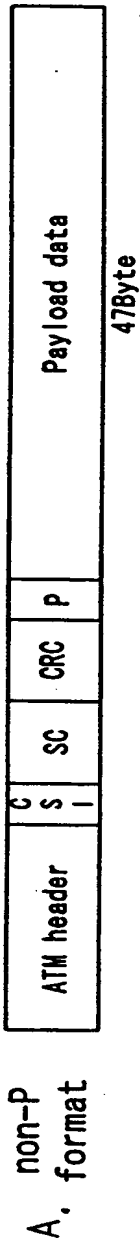
【図 1 5】

AAL 1 セル転送方式の説明図



【図 16】

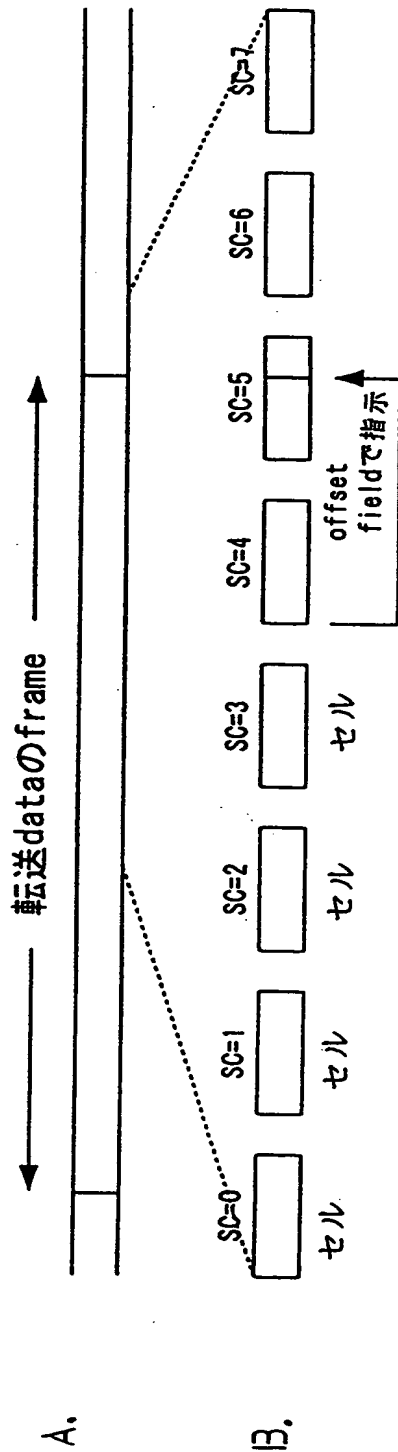
AA1 のセルフォーマット



ATM header : ATM Cellヘッダ 5byte  
CSI : Convergence Sublayer Indication  
P/non-P format識別 (CSI=1でP format)  
SC : Sequence Count  
0~7の数字をCyclicに表示 (SC=0~7で1cycle)  
CRC : Cyclic Redundancy Check  
CSI, SC領域のerror check (CRC-3)  
P : Parity  
EP : CSI, SC, CRC領域のEven Parity表示  
offset field : Even Parity表示  
offset fieldのdataのframe (境界) までのByte数を表示  
Payload Data : 転送data

【図17】

## 構造化データを転送するためのセルの構成説明図

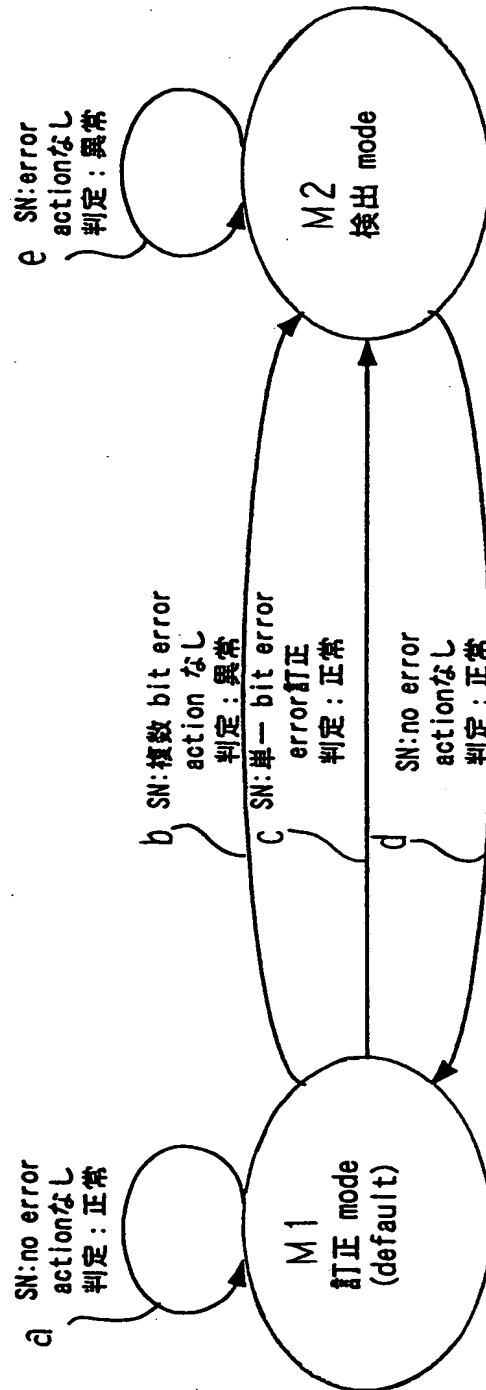


- ・ 奇数SCは必ずnon-P format
- ・ P formatは1cycle中に必ず1つあり、そのoffset fieldには境界までのByte数が入る。  
境界を示す場合のoffset fieldは0~93.
- ・ 他の偶数SCはnon-P format
- ・ 1cycle中に境界が無い場合はSC=6をP formatとし、offset field=127にする。



【図18】

ALL1のセル受信時の状態遷移図



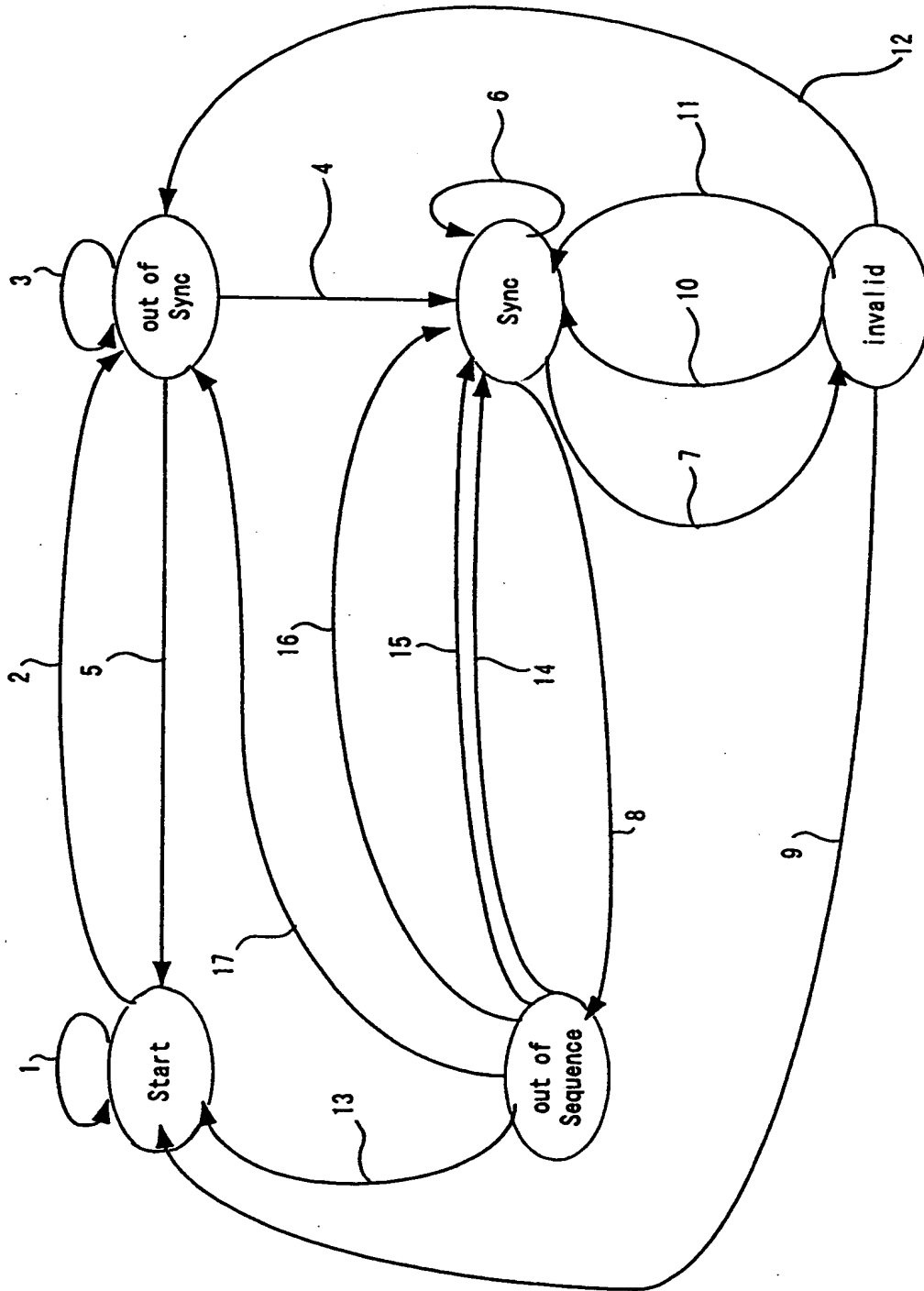
【図 1 9】

各状態遷移時の動作

	CRC-3演算結果	Parity Check結果	状態	mode遷移
訂正 mode 時	OK	OK	SN有効	
	NG	NG	CRC-3誤りbit判定により 1bit訂正しSN有効	検出modeへ遷移
	OK	NG	Parity bit訂正しSN有効	検出modeへ遷移
	NG	OK	複数bit errorのため訂正 できずSN無効	検出modeへ遷移
検出 mode 時	OK	OK	SN有効	訂正modeへ遷移
	NG	NG	訂正せずSN無効	
	OK	NG	訂正せずSN無効	
	NG	OK	訂正せずSN無効	

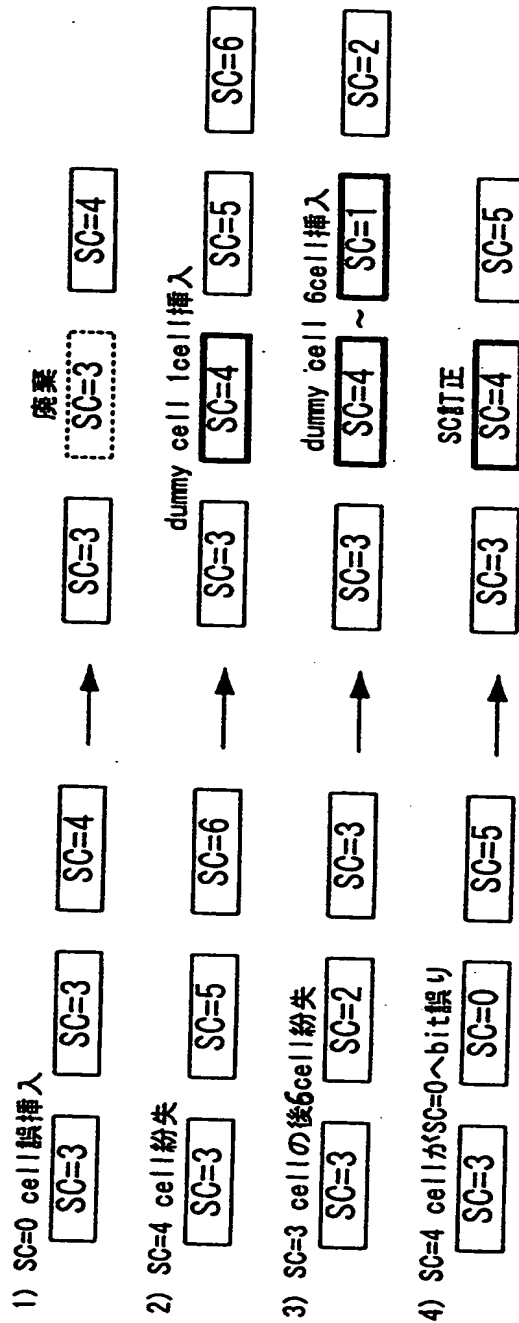
【図20】

ロバストSNアルゴリズム



【図 21】

従来のエラーセルの訂正方法



【書類名】                      要約書

【要約】

【課題】 本発明は A A L 1 フォーマットのセルによって分割して転送された連続データ列を受信して組立てる際の帯域制御方式に関し、 A A L 1 セルの C S I ビットを含んだ S A R ヘッダに複数ビットのエラーの発生時や、ダミーセルの挿入時にも正しく P フォーマットを判定して組立を行ってフレーム内のデータにずれが生じることを防ぐことを目的とする。

【解決手段】 受信セルを元にしたデータ組立部に、シーケンス番号フィールド（ S N ）のチェック部による正常性を確認した後にシーケンス番号（ S C ）が 0 ～ 7 の 1 サイクル分の 8 セルを格納して後段にセルを送出する 8 セルバッファを設け、 8 セルバッファに 8 セルが格納された時に 8 セルバッファ内に P フォーマットセルの数が 1 セルとなるよう制御する制御部を設けるよう構成する。

【選択図】                      図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社